

3635

PATENT

Docket No. JCLA6562  
page 1

COPY OF PAPERS  
ORIGINALLY FILED



**IN THE UNITED STATE PATENT AND TRADEMARK OFFICE**

In re application of : SHENG-CHANG PENG et al.

Application No. : 09/923,518

Filed : August 07,2001

FRAMEWORK WITH MULTIPLE  
SELECTIONS FOR SOUTH BRIDGE AND  
For : NORTH BRIDGE CONNECTING

Examiner :

**Certificate of Mailing**

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on

May 24, 2002

(Date)

Jiawei Huang, Reg. No. 43,330

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

Sir:

Transmitted herewith is a certified copy of Taiwan Application No. 90117039 filed on July 12, 2001.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA6562).

Date: 5/24/2002

By:   
Jiawei Huang  
Registration No. 43,330

**Please send future correspondence to:**

J. C. Patents  
4 Venture, Suite 250  
Irvine, California 92618  
(949) 660-0761

RECEIVED

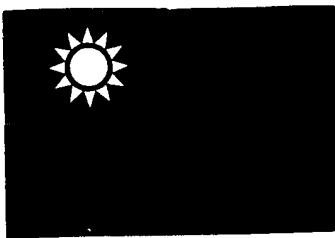
JUN 13 2002

GROUP 3600

Acc  
6/20/02  
H2

30416562

09/923.518



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA



茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of the  
office of the application as originally filed which is identified here

申請日：西元 2001 年 07 月 12 日 -  
Application Date

申請案號：090117039  
Application No.

申請人：威盛電子股份有限公司  
Applicant(s)

RECEIVED  
JUN 13 2002  
GROUP 3600

局長  
Director General

陳明邦

CERTIFIED COPY OF  
PRIORITY DOCUMENT

發文日期：西元 2001 年 8 月 21 日  
Issue Date

發文字號：090110123  
Serial No.

申請日期	
案 號	
類 別	

A4  
C4

(以上各欄由本局填註)

發明專利說明書		
一、發明 新型名稱	中 文	具多重選擇之南北橋晶片連接架構
	英 文	
二、發明 創作人	姓 名	彭盛昌
	國 籍	中華民國
	住、居所	台北市忠孝東路五段 672 巷 27 弄 10 號 4 樓
三、申請人	姓 名 (名稱)	威盛電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代 表 人 姓 名	王雪紅

裝

訂

線

## 四、中文發明摘要（發明之名稱：具多重選擇之南北橋晶片連接架構）

本發明係揭示一種具多重選擇之南北橋晶片連接架構，具一北橋晶片及一具高速匯流排介面之南橋晶片，其中南橋晶片南橋晶片之傳送控制器和PCI回應裝置係利用禁能與致能和匯流排仲裁器雙向溝通的原理，即可依設計著之需求做不同的牽線，在不同的模式下工作改進因為週邊無法配合需重新設計這種浪費人力與物力的成本，並且也因晶片的統一化增加了工廠內部物流的效率。

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

## 英文發明摘要（發明之名稱：

)

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6  
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權  
美國 2000/08/11 60/225,018

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

## 五、發明說明 ( / )

### 發明領域

本發明是有關於一種具多重選擇之南北橋晶片連接架構其裝置與方法，尤指一種可適用於南北橋晶片之不同連接架構控制。

### 習知技藝

按，現今的電腦主機板上的晶片組用於控制所有的元件，絕大多數包含兩個晶片稱之為北橋與南橋。北橋晶片管理中央處理器(Central Processing Unit, CPU)、主記憶體與加速繪圖埠(Accelerated Graphics Port, AGP)間的資料傳輸；而I/O埠(平行埠/串列埠)、USB、鍵盤控制器、AC97音效卡、軟碟控制器與IDE控制器則都含蓋在南橋中。北橋晶片與南橋晶片係可透過 PCI 匯流排來溝通，請參閱第1A圖，為習用南北橋晶片連接架構方塊示意圖；如圖所示，北橋晶片(North Bridge)10分別與中央處理器12、動態隨機存取記憶(Dynamic Random Access Memory, DRAM)14、3D繪圖控制器16和PCI匯流排32相連接，而南橋晶片(South bridge)20則透過PCI匯流排32與數個PCI插槽30相連接，此種架構即為現今一般電腦主機板架構；當南橋晶片20需與PCI匯流排32溝通時，便需經由PCI主控器202提出請求訊息(REQ)，待該訊號或許可(GNT)後，此時直接記憶體存取引擎200便可與PCI匯流排32傳遞訊息；而當北橋晶片10須與PCI匯流排32溝通時，則由記憶體控制器100經PCI回應裝置102與PCI匯流排32傳遞訊息，反之PCI插槽30上之裝置上須與北橋溝通時，便需發出請求訊息(REQ)，待仲裁器104同

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(二)

意後即可經由PCI匯流排32與北橋晶片10傳遞訊息，然因北橋晶片10及南橋晶片20需透過PCI匯流排32與數個PCI插槽30上之裝置互相溝通，造成北橋晶片10之速度較慢且PCI匯流排32佔據北橋晶片10多數腳位使得此架構較無發展性。

而爲了克服傳統的南北橋晶片間有限的頻寬，以可搭配較高速度之CPU及雙資料率記憶體(Double Data Rate, DDR)，因其傳輸功能及速度的不足而導致無法完全發揮具DDR主機板高速傳輸效率的限制；故發展出一種利用高速匯流排(Private Link Bus)技術連接南北橋晶片，將南北橋晶片之間的頻寬，擴大到每秒266MB，比起上述習用南北橋晶片的溝通頻寬整整提昇了一倍。以高速匯流排之高效能及高頻寬的特性，將可使其I/O資料傳輸方面，提昇很多，尤其是在影音方面的表現上，請參閱第1B圖，爲習用使用高速匯流排(Private Link Bus)介面連接南北橋晶片架構方塊示意圖；如圖所示，提供一北橋晶片10'分別與中央處理器12、動態隨機存取記憶14及3D繪圖控制器16相連接，其記憶體控制器100'係利用高速匯流排20v連接至南橋晶片20'，此南橋晶片20'再連接至PCI匯流排32，並透過PCI匯流排32連接數個PCI插槽30，而此時南橋晶片20'另設有仲裁器206'、PCI回應裝置204'及傳送控制器201'；如此，其直接記憶體存取引擎200'便可經由傳送控制器201'選擇路徑201'a至高速匯流排20v或路徑201'b至PCI主控器202'，此種架構爲現今較高階的電腦架構，因此種架構之北橋晶片10'

## 五、發明說明(3)

與南橋晶片20'分別擁有自己的匯流排且速度較快，而北橋晶片10'也因減去了和PCI匯流排32的連接省去許多腳位，可作為日後擴充之用。

然，此兩種架構因南北橋控制晶片皆無法相容，以至於在汰舊換新之際，會造成廠商需要同時控管四種控制晶片，使得產品推陳出新時需較多人力與物力投入，只因各控制晶片無法架構於其他架構下，需要為兩套架構分別設計，且廠商也因此需庫存四種控制晶片，故不僅會增加了廠商庫存量，也會增加其生產成本和庫存危險。

因此，本發明主要目的係在於提出一種具多重選擇之南北橋晶片連接架構其裝置與方法，其可因應週邊的晶片和線路的設計運作於不同模式，以節省許多人力與物力因同時控管四種控制晶片的浪費，且減少晶片庫存，避免庫存的危險。

### 發明概要

本發明提供一種具多重選擇之南北橋晶片連接架構，包括：

一北橋晶片，包括：一記憶體控制器，連接隨機存取記憶體，用以控制該記憶體之存取；一PCI回應裝置(PCI-S)，連接於該記憶體控制器與PCI匯流排間，作資料回應處理；以及一主匯流排仲裁器(Arbiter)，連接該PCI回應裝置，具複數個請求訊號端(REQ)及准予信號端(GNT)，分別與PCI匯流排上之裝置相連接，作為判斷是否同意PCI匯流排上之裝置傳輸資料；



## 五、發明說明(4)

一具高速匯流排介面之南橋晶片，包括：一直接記憶體存取引擎(DMA Engine)，具一輸出端，用以送出一直接記憶體存取要求訊號；一傳送控制器(Up/Down Controller)，連接該直接記憶體存取引擎輸出端，接收該直接記憶體存取要求訊號，用以控制其資料傳輸方向，該控制器具複數個輸出端；一PCI主控器(PCI-M)，連接至該PCI匯流排以及該傳送控制器之一輸出端，用以當該輸出端輸出該直接記憶體存取要求訊號時，主動對該PCI匯流排發出一資料存取交易；以及一次匯流排仲裁器，與該PCI主控器連接，亦具有複數個請求訊號端及複數個准予訊號端，分別接至該北橋晶片之主匯流排仲裁器。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第1A圖，為習用南北橋晶片連接架構方塊示意圖；

第1B圖，為習用使用高速匯流排(Private Link Bus)介面連接南北橋晶片架構方塊示意圖；以及

第2圖，為本發明一較佳實施例之南北橋晶片連接架構方塊示意圖。

圖式之標記說明：

- 10 北橋晶片
- 12 中央處理
- 14 動態隨機存取記憶

## 五、發明說明( ㄟ )

- 16 3D繪圖控制器
- 20 南橋晶片
- 200 直接記憶體存取引擎
- 202 PCI控制器
- 30 PCI插槽
- 32 PCI匯流排
- 10' 北橋晶片
- 100' 記憶體控制器
- 20v 高速匯流排
- 20' 南橋晶片
- 200' 直接記憶體存取引擎
- 201' 傳送控制器
- 202' PCI主控器
- 204' PCI回應裝置
- 206' 仲裁器
- 40 北橋晶片
- 400 記憶體控制器
- 401 PCI回應裝置
- 404 主匯流排仲裁器
- 42 中央處理器
- 44 存取記憶體
- 46 3D繪圖控制器
- 50 南橋晶片
- 500 直接記憶體存取引擎

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(6)

- 501 傳送控制器
- 502 PCI主控制器
- 504 PCI回應裝置
- 506 次匯流排仲裁器
- 60 PCI插槽
- 62 PCI匯流排

### 具體實施例詳細說明

請參照第2圖，為本發明一較佳實施例之南北橋晶片連接架構方塊示意圖；如圖所示此種架構是利用將第1B圖之南橋晶片20'倒置的想法使其可以架構於第1A圖之架構模式，讓南橋晶片50和北橋晶片40皆工作於PCI匯流排62上，因此南橋晶片50之內部直接記憶體存取引擎500的要求訊號只能選擇由PCI匯流排62送出訊號，使得傳送控制器501的一輸出端501a禁能，讓直接記憶體存取引擎500輸出端之訊號皆須經過傳送控制器501的另一輸出端501b傳送至PCI主控器502，再由PCI主控器502傳送至PCI匯流排62，因北橋晶片40和其它PCI相容裝置皆架構於PCI匯流排62上，可將直接記憶體存取要求訊號傳送至PCI匯流排62上，再由各裝置自行至PCI匯流排62上擷取。並且PCI回應裝置504禁能，交由北橋晶片40上之PCI回應裝置402對PCI匯流排62作回應，避免當PCI匯流排62上有要求時兩個PCI回應裝置402及504互相搶資料，其中PCI匯流排62上之匯流排仲裁交由北橋晶片40內之仲裁器404為主匯流排仲裁器，且南橋晶片50要求使用PCI匯流排62時，使次匯流排仲裁器506

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明（ 7 ）

發出第一請求訊號，並接收第一准予信號來判斷是否獲得PCI匯流排62之使用權，熟悉藝者可輕易知曉，請求訊號可由准予信號端54發送及准予信號可由請求訊號端56接收，故當主匯流排仲裁器與次匯流排仲裁器串結時，次匯流排仲裁器506係透過請求訊號端56之一發出第一請求訊號，並透過准予訊號端54之一接收第一准予信號，並且當主匯流排仲裁器需連接較多PCI相容裝置而腳位不足，可利用串聯的方法將次匯流排仲裁器506與主匯流排仲裁器404互相連接，利用次匯流排仲裁器506其餘腳位連接至需匯流排仲裁的裝置，這些裝置透過次匯流排仲裁器506向主匯流排仲裁器404發出請求訊號並透過次匯流排仲裁器506接收准予訊號。

依據本發明之一種具多重選擇之南北橋晶片連接架構，讓生產PCI匯流排控制晶片和主機板的廠商不需分別對兩種PCI匯流排控制晶片加以控管，只需一種PCI匯流排控制晶片就可架構於兩套模式下，可節省許多人力和物力上的浪費，並且也減少了生產的成本和避免庫存危險。

雖然本發明以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

（請先閱讀背面之注意事項再填寫本頁）

裝  
訂  
線

## 六、申請專利範圍

### 1.一種南北橋晶片連接架構，包括：

一北橋晶片，包括：

一記憶體控制器，連接隨機存取記憶體，用以控制該記憶體之存取；

一PCI回應裝置，連接於該記憶體控制器與PCI匯流排間，作資料回應處理；以及

一主匯流排仲裁器，連接該PCI回應裝置，具複數個請求訊號端及准予信號端，分別與PCI匯流排上之裝置相連接，作為判斷是否同意PCI匯流排上之裝置傳輸資料；

一具高速匯流排介面之南橋晶片，包括：

一直接記憶體存取引擎，具一輸出端，用以送出一直接記憶體存取要求訊號；

一傳送控制器，連接該直接記憶體存取引擎輸出端，接收該直接記憶體存取要求訊號，用以控制其資料傳輸方向，該控制器具複數個輸出端；

一PCI主控器，連接至該PCI匯流排以及該傳送控制器之一輸出端，用以當該輸出端輸出該直接記憶體存取要求訊號時，主動對該PCI匯流排發出一資料存取交易；以及

一次匯流排仲裁器，與該PCI主控器連接，亦具有複數個請求訊號端及複數個准予訊號端，分別接至該北橋晶片之主匯流排仲裁器。

2.如申請專利範圍第1項所述之連接架構，其中該具高速匯流排介面之南橋晶片尚包括一PCI回應裝置，與該PCI主控器同接至該PCI匯流排，用以回應該PCI匯流排上各裝

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

置之要求。

3.如申請專利範圍第2項所述之連接架構，其中該PCI回應裝置係被為禁能處理，即無法動作。

4.如申請專利範圍第1項所述之連接架構，其中該傳送控制裝置之複數個輸出端，其一輸出端係與高速匯流排介面連接，另一輸出端則連接至該PCI主控器。

5.如申請專利範圍第4項所述之連接架構，其中該傳送控制裝置之與高速匯流排介面連接輸出端係被為禁能處理，即無法動作。

6.如申請專利範圍第1項所述之連接架構，其中該北橋晶片之主匯流排仲裁器之請求訊號端及准予訊號端亦同時與該具高速匯流排介面南橋晶片之次匯流排仲裁器之請求訊號端及准予訊號端相連接。

7.如申請專利範圍第6項所述之連接架構，其中該主匯流排仲裁器係可控制該次匯流排仲裁器之動作，以確保該PCI匯流排上之裝置與南北橋晶片能順利存取資料。

8.如申請專利範圍第7項所述之連接架構，其中該次匯流排仲裁器亦與該PCI主控器連接，以可作資料轉向處理要求者。

9.一種南北橋晶片連接架構，包括：

一具高速匯流排介面之北橋晶片，包括：

一記憶體控制器，連接隨機存取記憶體，用以控制該記憶體之存取，作為判斷是否同意PCI匯流排上之裝置傳輸資料；；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

一 高速匯流排，連接該具高速匯流排介面之北橋晶片，以爲其專用之資料傳輸；

一 具高速匯流排介面之南橋晶片，包括：

一 直接記憶體存取引擎，具一輸出端，用以送出直接記憶體存取要求訊號；

一 傳送控制器，連接該直接記憶體存取引擎輸出端，接收該直接記憶體存取要求訊號，用以控制其資料傳輸方向，該控制器具複數個輸出端，其一輸出端係與該高速匯流排連接，作爲與北橋晶片間之高速資料傳輸；

一 PCI主控器，連接至該PCI匯流排以及該傳送控制器之另一輸出端，用以當該輸出端輸出該直接記憶體存取要求訊號時，主動對該PCI匯流排發出一資料存取交易；以及

一 匯流排仲裁器，與該PCI主控器連接，具複數個請求訊號端及複數個准予訊號端，分別與PCI匯流排上之裝置相連接，作爲判斷是否同意PCI匯流排上之裝置傳輸資料。

10.如申請專利範圍第9項所述之連接架構，其中該傳送控制器係可依該直接記憶體存取引擎輸出之直接記憶體存取要求訊號建立與北橋晶片間之資料存取。

11.如申請專利範圍第9項所述之連接架構，其中該傳送控制器係可依該直接記憶體存取引擎輸出之直接記憶體存取要求訊號建立與PCI匯流排上之裝置間之資料存取。

12.如申請專利範圍第9項所述之連接架構，其中該具高速匯流排介面之南橋晶片尚包括一PCI回應裝置，與該PCI主控器同接至該PCI匯流排，用以回應該PCI匯流排上各

## 六、申請專利範圍

裝置之要求。

13.一種南北橋晶片連接架構，包括：

一北橋晶片，該北橋係提供一高速匯流排介面及一PCI匯流排介面其中之一者；以及

一南橋晶片，該南橋係同時具一高速匯流排介面及一PCI匯流排介面，為可選擇性配合該北橋晶片所提供之介面。

14.如申請專利範圍第13項所述之連接架構，其中該南橋晶片係包括有：

一直接記憶體存取引擎，具一輸出端，用以送出一直接記憶體存取要求訊號；

一傳送控制器，連接該直接記憶體存取引擎輸出端，接收該直接記憶體存取要求訊號，用以控制其資料傳輸方向，該控制器具複數個輸出端；

一PCI主控器，連接至該PCI匯流排以及該傳送控制器之一輸出端，用以當該輸出端輸出該直接記憶體存取要求訊號時，主動對該PCI匯流排發出一資料存取交易；以及

一仲裁器，與該PCI主控器連接，亦具有複數個請求訊號端及複數個准予訊號端，分別接至該北橋晶片之主匯流排仲裁器。

15.如申請專利範圍第14項所述之連接架構，其中該具高速匯流排介面之南橋晶片尚包括一PCI回應裝置，與該PCI主控器同接至該PCI匯流排，用以回應該PCI匯流排上各裝置之要求。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



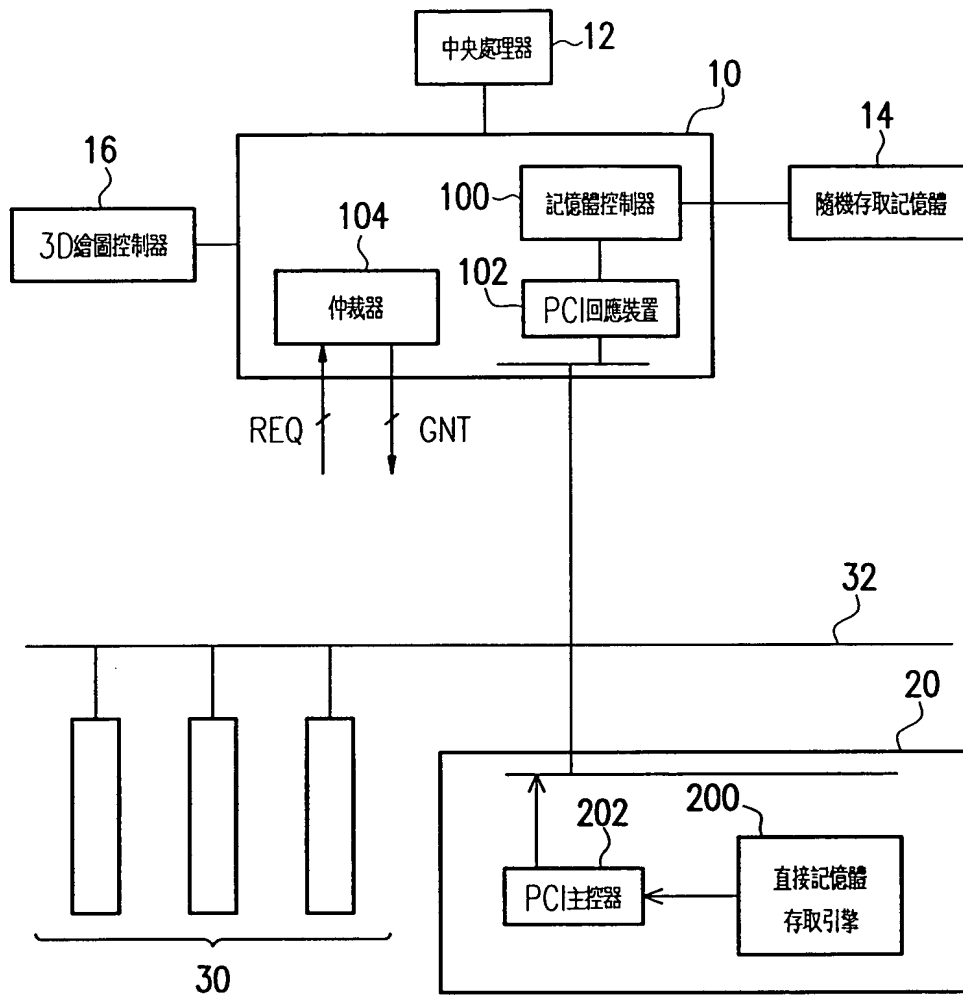
## 六、申請專利範圍

16.如申請專利範圍第15項所述之連接架構，其中該PCI回應裝置係被為禁能處理，即無法動作。

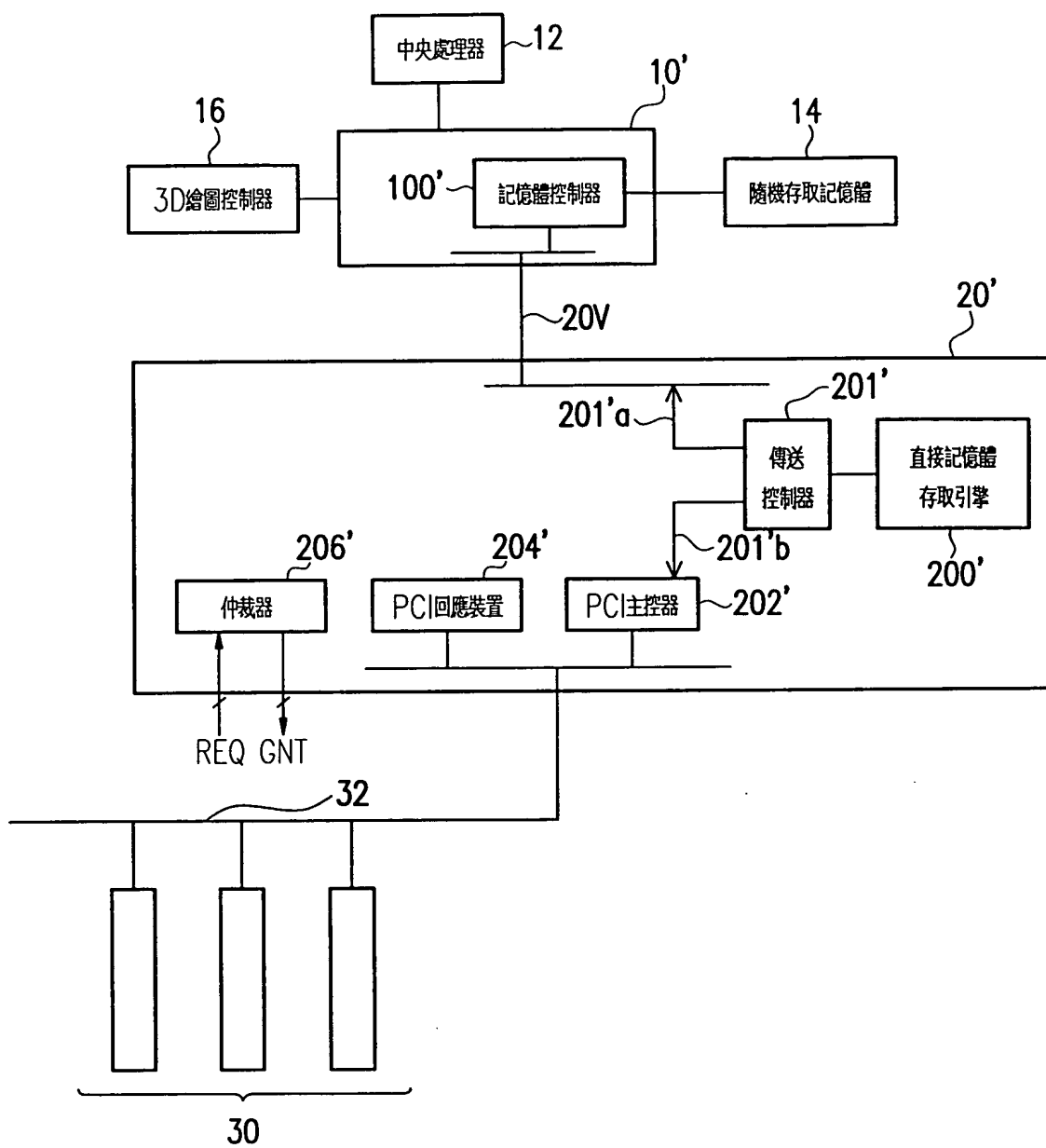
17.如申請專利範圍第14項所述之連接架構，其中該傳送控制裝置之複數個輸出端，其一輸出端係與高速匯流排介面連接，另一輸出端則連接至該PCI主控器。

(請先閱讀背面之注意事項再填寫本頁)

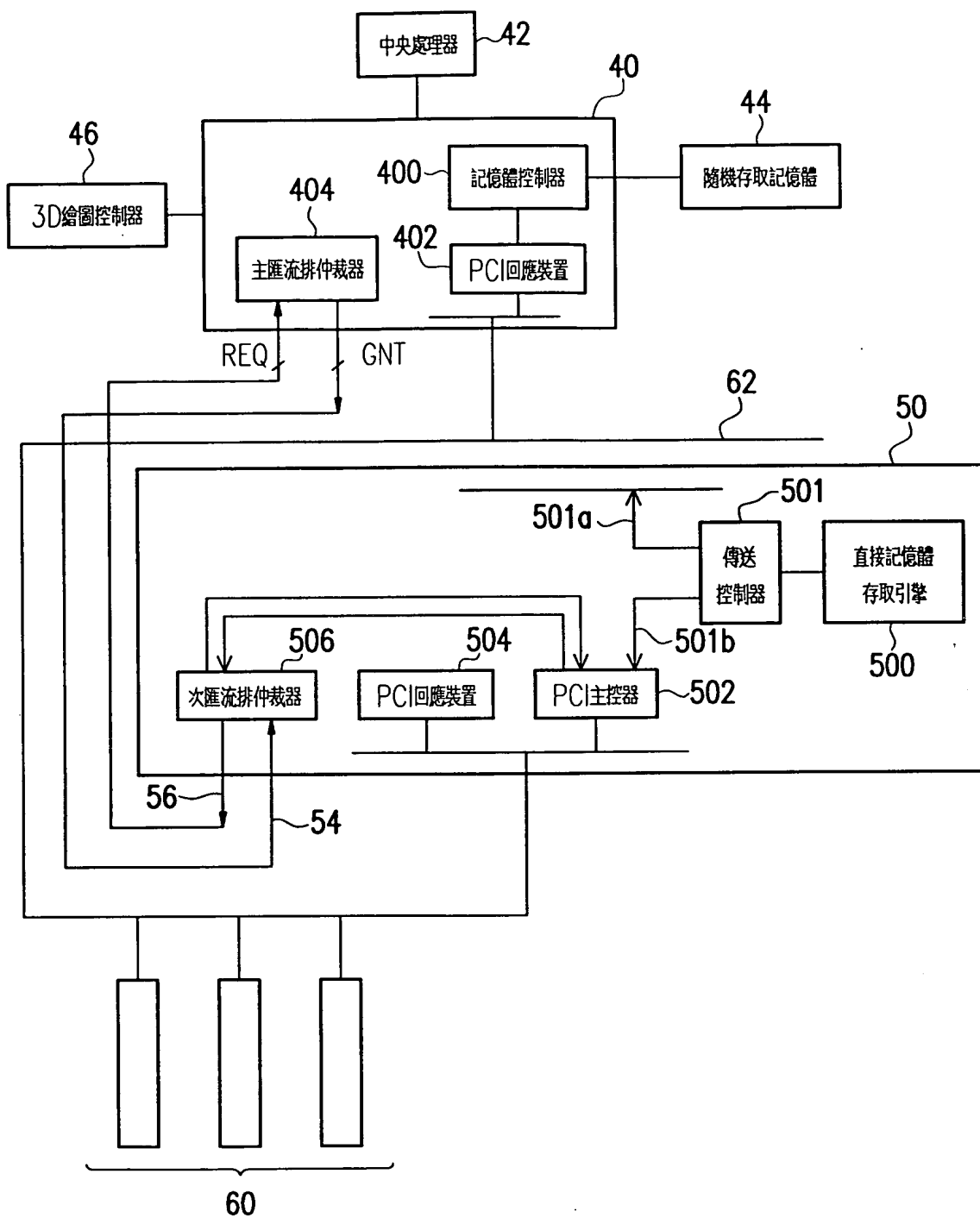
裝  
訂  
線



第 1A 圖



第1B圖



第 2 圖